

Docket No. 197689US2/vdm



1-19-01

2871

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takafumi NAKAMURA, et al.

GAU: 2871

SERIAL NO: 09/667,566

EXAMINER:

FILED: September 22, 2000

FOR: APPARATUS AND MANUFACTURE METHOD FOR FLAT DISPLAY

REQUEST FOR PRIORITY

#4
5/16/01
C. McKinney

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	11-271173	September 24, 1999
JAPAN	2000-281164	September 18, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

TO 2000 JAN 2001

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Joseph A. Scafetta Jr.

Marvin J. Spivak
Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26,803



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

RECEIVED
FEB - 1 2001
TECHNOLOGY CENTER 2800

09/667, 566

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 9月24日

出 願 番 号
Application Number:

平成11年特許願第271173号

出 願 人
Applicant (s):

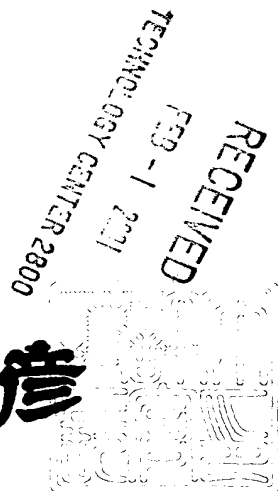
株式会社東芝

TC 2000 JAPAN 2001

2000年 6月29日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3053784

【書類名】 特許願

【整理番号】 12130601

【提出日】 平成11年 9月24日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/13

【発明の名称】 平面表示装置の製造方法

【請求項の数】 6

【発明者】

【住所又は居所】 埼玉県深谷市幡羅町 1 - 9 - 2 株式会社東芝 深谷工場内

【氏名】 中 村 貴 文

【特許出願人】

【識別番号】 000003078

【住所又は居所】 神奈川県川崎市幸区堀川町 7 2 番地

【氏名又は名称】 株式会社 東 芝

【代理人】

【識別番号】 100064285

【弁理士】

【氏名又は名称】 佐 藤 一 雄

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 004444

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 平面表示装置の製造方法

【特許請求の範囲】

【請求項 1】

絶縁基板上に縦横に列設された信号線層および走査線層と、前記信号線層および前記走査線層の各交点にスイッチング素子を介して接続された複数の画素電極と、前記スイッチング素子と半導体配線とを介して電氣的に接続された補助容量電極と、前記補助容量電極のそれぞれに絶縁層を介して対向配置される補助容量給電線と、を含むアレイ基板を備えた平面表示装置の製造方法において、

前記半導体配線部に、レーザの強度 $R(\mu J)$ と前記配線部の体積 $V(\mu m^3)$ とが (1) 式の関係を満たすレーザ光を照射することを特徴とする平面表示装置の製造方法。

$$0.01 \times V + 0.6 < R < 0.1 \times V + 1.5 \quad \dots (1)$$

【請求項 2】

前記レーザ光は、前記絶縁基板のスイッチング素子形成面とは逆の面方向から照射されることを特徴とする請求項 1 に記載の半導体回路の製造方法。

【請求項 3】

前記スイッチング素子は活性層を含み、

前記活性層、前記半導体配線および前記補助容量電極は、同一工程により形成されることを特徴とする請求項 1 または 2 に記載の半導体回路の製造方法。

【請求項 4】

前記活性層、前記半導体配線および前記補助容量電極は、多結晶シリコンを用いて形成されることを特徴とする請求項 3 に記載の半導体回路の製造方法。

【請求項 5】

レーザ照射が欠陥画素に対して選択的に行われることを特徴とする請求項 1 ～ 4 のいずれかに記載の半導体回路の製造方法。

【請求項 6】

前記アレイ基板と前記アレイ基板に対向する対向基板との間に液晶層を配置することを特徴とする請求項 1 ～ 5 のいずれかに記載の半導体回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画素表示用のスイッチング素子に補助容量が接続された平面表示装置の製造方法に関し、例えば、アクティブマトリクス型の液晶表示装置の製造方法などを対象とする。

【0002】

【従来の技術】

液晶表示装置は、高画質、薄型軽量、低消費電力という大きな利点を有するため、ノート型コンピュータや携帯電子機器などに幅広く利用されている。特に、最近では、移動度の高い多結晶シリコンによる薄膜トランジスタ（以下、TFTと呼ぶ）を画素スイッチング素子に用いた液晶表示装置の開発研究が盛んに行われている。

【0003】

図8はこの種のTFTを用いた液晶表示装置の構造を示す上面図、図9は図8のA-A線断面図である。

【0004】

以下、図8の液晶表示装置の製造方法について簡単に説明する。ガラス基板1の上面に、多結晶シリコンからなる半導体層2が形成され、この半導体層2を被覆するようにゲート絶縁膜4が形成された後、その上面に第1の配線層であるゲート電極5が形成される。

【0005】

画素表示用のTFTには、画素電極19と補助容量電極3とが接続されている。補助容量は、半導体層2により形成される補助容量電極3と、ゲート電極5と同じ層に形成される補助容量給電線6とで、ゲート絶縁膜4を挟み込んだ構造になっている。

【0006】

図8に示したTFTは、半導体層2の材料として多結晶シリコンを用いているため、電界効果移動度が高く、個々のTFTを小型化しても、十分な駆動能力を

得ることができる。したがって、この種の T F T を用いてアクティブマトリクス型の液晶表示装置を構成すると、開口率や輝度を向上できるとともに、消費電力も減らすことができる。

【 0 0 0 7 】

また、この種の T F T は電界効果移動度が高いため、T F T の動作を制御するためのシフトレジスタ等の駆動回路を画像表示領域と同じガラス基板上に形成することも可能である。このため、T F T 駆動用の基板を別に設ける必要がなくなり、外部回路を簡略化できるとともに、製造工程の削減と製造コストの削減が可能になる。

【 0 0 0 8 】

【発明が解決しようとする課題】

しかしながら、図 8 の液晶表示装置は、補助容量電極 3 の表面性や製造途中での異物の混入等により、補助容量の容量絶縁膜（ゲート絶縁膜）4 の絶縁性が不十分となり、画素電極 1 9 と補助容量給電線 6 とが短絡し、表示画素欠陥が生じて製造歩留まりが低下するという問題があった。

【 0 0 0 9 】

本発明は、このような点に鑑みてなされたものであり、その目的は、表示不良画素を信頼性よくリペアすることができる平面表示装置の製造方法を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】

上述した課題を解決するために、請求項 1 の発明は、絶縁基板上に縦横に列設された信号線層および走査線層と、前記信号線層および前記走査線層の各交点にスイッチング素子を介して接続された複数の画素電極と、前記スイッチング素子と半導体配線とを介して電氣的に接続された補助容量電極と、前記補助容量電極のそれぞれに絶縁層を介して対向配置される補助容量給電線と、を含むアレイ基板を備えた平面表示装置の製造方法において、前記半導体配線部に、レーザの強度 $R(\mu J)$ と前記配線部の体積 $V(\mu m^3)$ とが (1) 式の関係を満たすレーザ光を照射することを特徴とする平面表示装置の製造方法。

【 0 0 1 1 】

$$0.01 \times V + 0.6 < R < 0.1 \times V + 1.5 \quad \cdots (1)$$

請求項 1 の発明では、スイッチング素子と補助容量電極との間の配線部に (1) 式の関係を満たすレーザ光を照射するため、画素電極が補助容量給電線の電圧の影響を受けなくなり、表示画素欠陥を信頼性よく正常化させることができる。

請求項 2 の発明では、絶縁基板のスイッチング素子形成面とは逆の面側からレーザを照射するため、配線部以外の領域の結晶性を変化させるおそれはない。

【 0 0 1 2 】

また、前記スイッチング素子は活性層を含み、前記活性層、前記半導体配線および前記補助容量電極を同一工程により形成してもよい。

【 0 0 1 3 】

また、前記活性層、前記半導体配線および前記補助容量電極は、多結晶シリコンを用いて形成することができる。

【 0 0 1 4 】

また、レーザ照射を欠陥画素に対して選択的に行うことができる。

【 0 0 1 5 】

また、前記アレイ基板と前記アレイ基板に対向する対向基板との間に液晶層を配置してもよい。

【 0 0 1 6 】

【発明の実施の形態】

以下、本発明に係る平面表示装置の製造方法について、図面を参照しながら具体的に説明する。以下では、平面表示装置の製造方法の一例として、液晶表示装置の製造方法について説明する。

【 0 0 1 7 】

図 1 は本発明に係る平面表示装置の製造方法の一実施形態の上面図、図 2 は図 1 の A - A 線断面図、図 3 は図 1 の B - B 線断面図である。図 3 では、簡略化のため、対向基板側を省略している。

【 0 0 1 8 】

図 1 の半導体回路は、配線部にレーザを照射して、配線部を高抵抗化させる点

に特徴がある。これにより、画素電極が補助容量給電線に短絡して欠点となった場合でも、効果的にリペアすることができる。レーザは、例えば図1の点線L1, L2に照射される。

【0019】

図4は図1の半導体回路の製造工程を示す断面図であり、この断面図に基づいて図1の半導体回路の製造工程を順に説明する。

【0020】

まず、ガラス基板1上に、例えば、プラズマCVD法により、膜厚30nm~100nmの非結晶シリコン層を成膜する。次に、例えば、エキシマ・レーザー・アニール法等により、非結晶シリコン層を結晶化して多結晶シリコン層を生成し、フォトリソグラフィ工程により島状にエッチング加工してTFTおよび接続配線部を構成する半導体層2を形成する。同時に、多結晶シリコン層からなる補助容量電極3も形成する(図4(a))。

【0021】

次に、半導体層2の上面に、例えば酸化シリコン膜などを膜厚100nm程度成膜し、ゲート絶縁膜4を形成する(図4(b))。

【0022】

次に、スパッタリング法により、第1の配線層(例えば、MoW合金層)を成膜した後、このMoW合金層をフォトリソグラフィ法によりエッチング加工してレジスタの剥離を行い、ゲート電極5を形成する。同時に、補助容量給電線6も同層に形成する(図4(c))。さらに、ドレイン領域低抵抗半導体層8から延在される接続配線部8'が形成される。

【0023】

次に、第1の配線層のゲート電極5をマスクとして、例えば、ボロン(B)の高濃度ドーピングを行う。ドーピングは、例えばイオン注入により行い、ドーパ量は $2 \times 10^{15} \sim 5 \times 10^{16} / \text{cm}^2$ 程度が最適である。このドーピングにより、ソース領域低抵抗半導体層7とドレイン領域低抵抗半導体層8が形成される(図4(c))。

【0024】

次に、ゲート電極 5 とゲート絶縁膜 4 の上面を酸化シリコンなどで覆って層間絶縁膜 9 を形成する。次に、ソース領域低抵抗半導体層 7 とド레인領域低抵抗半導体層 8 の上方に位置するゲート絶縁膜 4 と層間絶縁膜 9 の一部領域をフォトリソグラフィ法によりエッチング除去し、それぞれコンタクトホール 10, 11 を形成する。

【0025】

また、層間絶縁膜 9 の上面に、第 2 の配線層として、スパッタリング法により、膜厚 500nm 程度の Al 層を成膜し、フォトリソグラフィ法によりエッチング加工して、ソース電極 12 およびド레인電極 13 を形成する。

【0026】

ソース電極 12 の形成材料である Al 層は、コンタクトホール 10 の内部に充填されてソース領域低抵抗半導体層 7 に接続される。同様に、コンタクトホール 11 の内部にも Al 層が充填されてド레인領域低抵抗半導体層 8 に接続される（図 4（d））。

【0027】

補助容量電極 3 の一部はイオン注入法等により低抵抗化され、この低抵抗化された部分の上方に位置する層間絶縁膜 9 には、第 2 の配線層を埋め込むためのコンタクトホール 15 が形成される。

【0028】

また、接続配線部 8' の端部上方に位置する層間絶縁膜 9 にも第 2 配線層を埋め込むためのコンタクトホール 15b が形成されている。このコンタクトホール 15a, 15b に接続配線として機能する第 2 の配線層 14 を埋め込む。

【0029】

次に、第 2 の配線層 14 の上面には、図 3 に示すように、素子部を保護するための絶縁膜 16 が形成される。絶縁膜 16 の上面には、カラーフィルタ層 17 が形成され、その上面にはオーバーコート層 18 が形成され、さらにその上面には画素電極 19 が形成される。カラーフィルタ層 17、オーバーコート層 18 および画素電極 19 の一部にはコンタクトホールが形成され、このコンタクトホールにより、画素電極 19 とド레인電極 13 とを接続するコンタクト 20 が形成さ

れる（図 1）。

【 0 0 3 0 】

次に、画素電極 1 9 の上面には、液晶分子を配向させるためのポリイミドからなる配向膜 2 1 が形成される。以上の工程により、図 2 に示すように、アレイ基板 5 0 が完成する。

【 0 0 3 1 】

このアレイ基板 5 0 は、配向膜 2 3、対向電極 2 4 およびガラス基板 1 からなる対向基板 5 1 と対向配置され、両基板間に液晶層 2 2 が挟み込まれて封止される。以上の工程により、液晶表示装置が完成する。

【 0 0 3 2 】

上述したように、補助容量を構成する補助容量電極 3 と補助容量給電線 6 との間の絶縁が不十分であったり、補助容量電極 3 と補助容量給電線 6 との間のゲート絶縁膜 4 に導電性の異物が混入したりすると、画素電極 1 9 と補助容量給電線 6 との短絡不良が起きる。

【 0 0 3 3 】

本出願人は、半導体層にて接続配線部 8' を構成し、この接続配線部 8' にそれぞれ異なる強度のレーザを照射したときに、配線部の断面形状と液晶の比抵抗値との間に相関があることを実験により確かめた。

【 0 0 3 4 】

図 5 はこの実験結果を示す図であり、横軸はレーザの照射エネルギー、縦軸は液晶の比抵抗値である。なお、図 5 は波長 532nm のレーザを放射する NTN 製 NRS-45 を用いた例を示している。

【 0 0 3 5 】

図 5 に示すように、レーザの照射エネルギーにより、第 1 期～第 4 期までの 4 段階の異なる特性が得られた。図 6（a）は第 1 期の配線部の状態を模式的に示す図、図 6（b）は第 2 期の配線部の状態を模式的に示す図、図 6（c）は第 3 期の配線部の状態を模式的に示す図、図 6（d）は第 4 期の配線部の状態を模式的に示す図である。

【 0 0 3 6 】

第 1 期は、接続配線部 8' を構成するポリシリコン層が消失・変色する状態であり、この状態では、レーザ照射位置の比抵抗値はまだ高い。

【0037】

第 2 期は、レーザの照射位置の中心から周囲の層間絶縁層 9 にかけて、すり鉢状のクラックが入る状態であり、この状態では、すり鉢状のクラックは液晶層にまで達しておらず、絶縁層 9 は液晶層 2 2 に接触せず、比抵抗値もほとんど低下しない。

【0038】

第 3 期は、クラックが大きくなって空洞ができる状態であり、空洞の一部が液晶層 2 2 に接触するようになるが、第 2 期より若干、抵抗値が低下するにすぎない。

【0039】

第 4 期は、絶縁層 9 のほとんどが液晶中に飛散する状態であり、飛散物により液晶中の比抵抗が低下し、いわゆる表示むらが生じやすい。

【0040】

本出願人は、図 6 の第 2 期から第 4 期の一部までの状態を維持するように、レーザの照射エネルギーを設定することにより、表示品質の向上を図った。

【0041】

また、本出願人は、図 7 に示すように、レーザにより消失する配線部の体積（横軸）と、表示特性の回復が可能な抵抗値を示すレーザエネルギー（縦軸）に相関があることを発見した。

【0042】

図 7 に示すように、配線部の体積がわかれば、高抵抗化が可能なレーザの照射エネルギーを求めることができ、逆に、レーザの照射エネルギーが予め定まっている場合には、配線部の体積をレーザの照射エネルギーに応じた値に設定することにより、配線部を高抵抗化することができる。

【0043】

本出願人は、図 6 および図 7 の両方の特性を考慮に入れて、以下の条件で実験を行った。まず、図 6 の第 2 期に相当するレーザエネルギーを図 1 の点線部 L 1

またはL2に照射して、比抵抗を低下させないような構造にする。次に、図7を参考にして、レーザエネルギーが(1)式を満たすように設定して、配線の高抵抗化を実現する。

【0044】

$$0.01 \times V + 0.6 < R < 0.1 \times V + 1.5 \quad \cdots (1)$$

図7によれば、第2期を実現するレーザエネルギーは $0.8 \mu\text{J}$ である。そこで、多結晶シリコンからなる配線部の幅を500オングストローム、配線面積を $6 \mu\text{m} \times 3 \mu\text{m}$ にした。この結果、補助容量電極3と補助容量給電線6とが短絡した液晶表示装置では、配線部を液晶中に飛散させることなく高抵抗化させることが可能になり、信頼性の高い製造プロセスが得られた。

【0045】

上述した実施形態では、本発明を液晶表示装置の製造方法に適用した例について説明したが、本発明は、液晶表示装置以外の各種の平面表示装置、例えば、プラズマ・ディスプレイ・パネル装置(PDP)などにも適用可能である。

【0046】

【発明の効果】

以上詳細に説明したように、本発明によれば、スイッチング素子と補助容量電極との間の配線部に(1)式に示すレーザ光を照射するため、画素電極が補助容量給電線の電圧の影響を受けなくなり、表示画素欠陥を信頼性よくリペアすることができ、製造歩留まりを向上できる。

【図面の簡単な説明】

【図1】

本発明に係る平面表示装置の製造方法の一実施形態の上面図。

【図2】

図1のA-A線断面図。

【図3】

図1のB-B線断面図。

【図4】

図1の半導体回路の製造工程を示す断面図。

【図 5】

横軸がレーザの照射エネルギー、縦軸が液晶の比抵抗値を示す図。

【図 6】

(a) ～ (d) は第 1 ～ 第 4 期の配線部の状態を模式的に示す図。

【図 7】

レーザにより消失する配線部の体積（横軸）と、表示特性の回復が可能な抵抗値を示すレーザエネルギー（縦軸）との関係を示す図。

【図 8】

従来の T F T を用いた液晶表示装置の構造を示す上面図。

【図 9】

図 8 の A - A 線断面図。

【符号の説明】

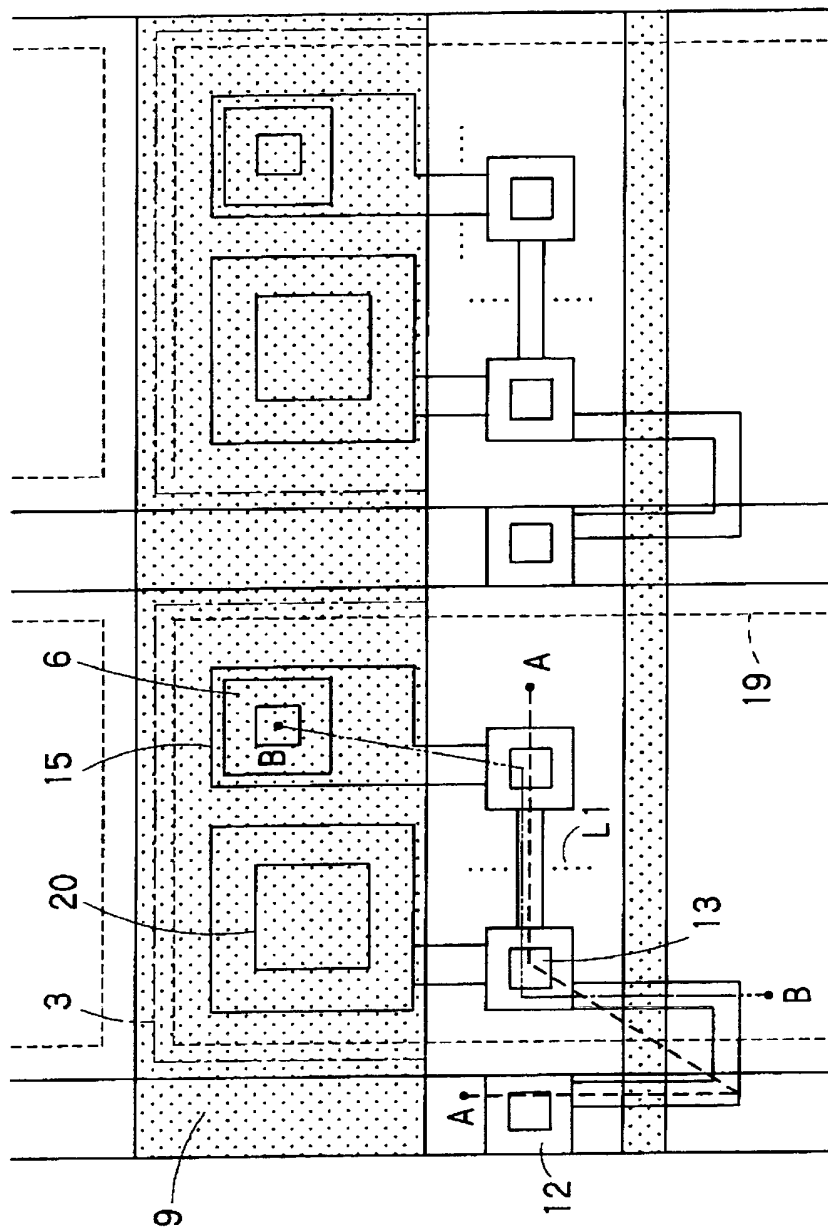
- 1 ガラス基板
- 2 半導体層
- 3 補助容量電極
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 補助容量給電線
- 7 ソース領域低抵抗半導体層
- 8 ドレイン領域低抵抗半導体層
- 9 層間絶縁膜
- 10, 11 コンタクトホール
- 12 ソース電極
- 13 ドレイン電極
- 14 第 2 の配線層
- 15 補助容量コンタクト
- 16 絶縁膜
- 17 カラーフィルタ層
- 18 オーバーコート層

1 9 画素電極

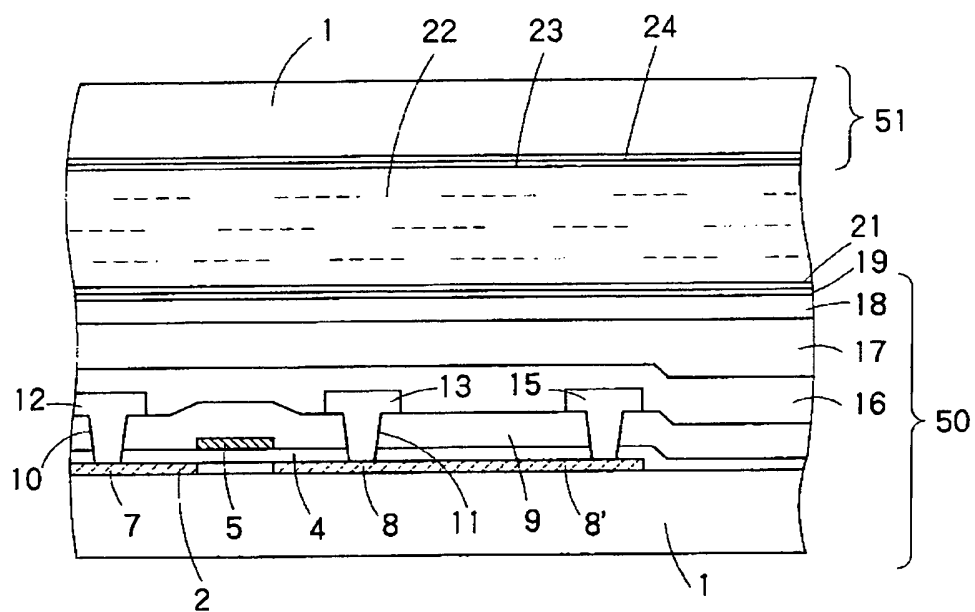
2 0 コンタクト

【書類名】 図面

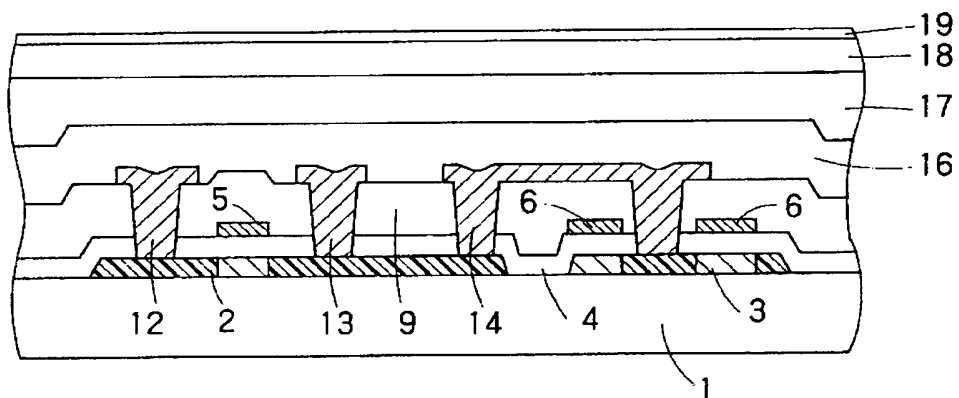
【図 1】



【図 2】

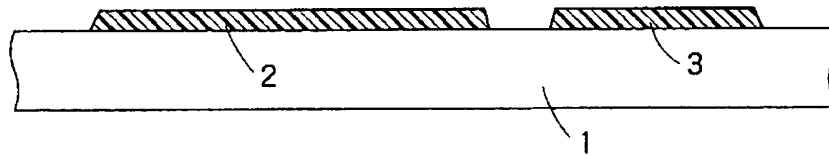


【図 3】

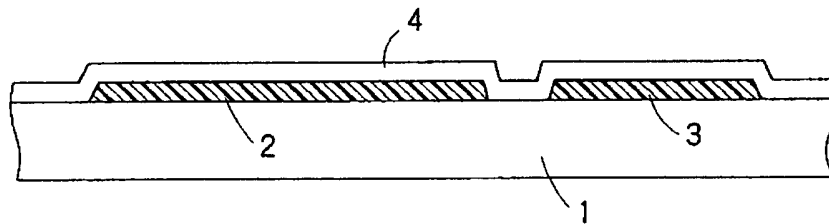


【図4】

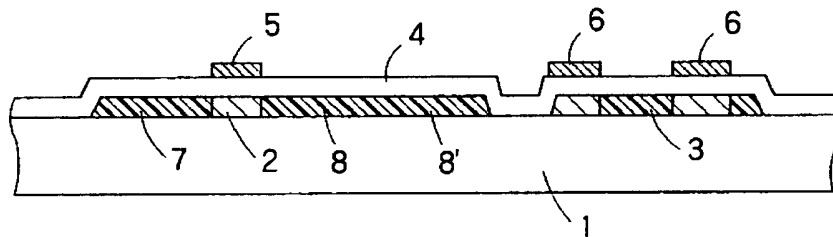
(a)



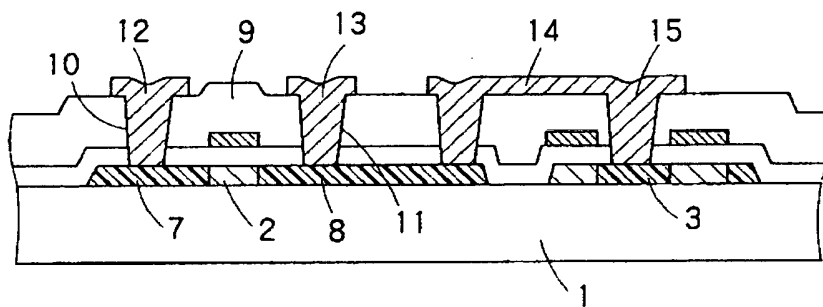
(b)



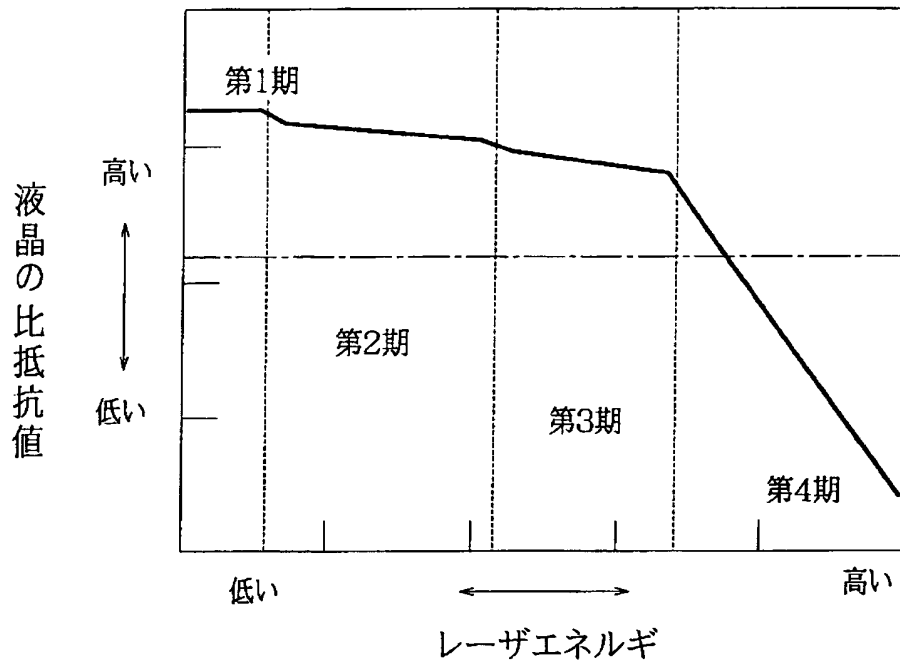
(c)



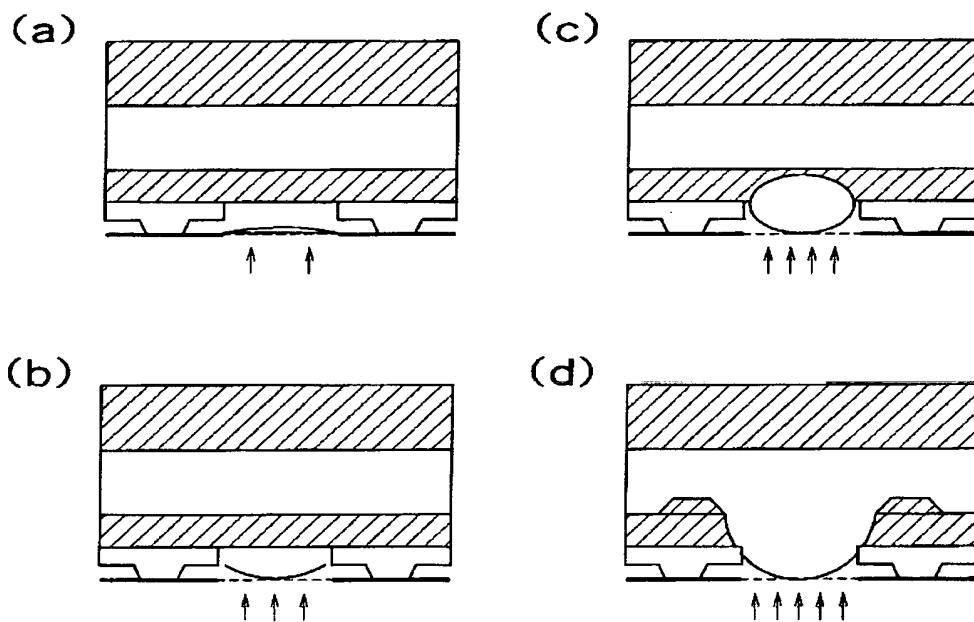
(d)



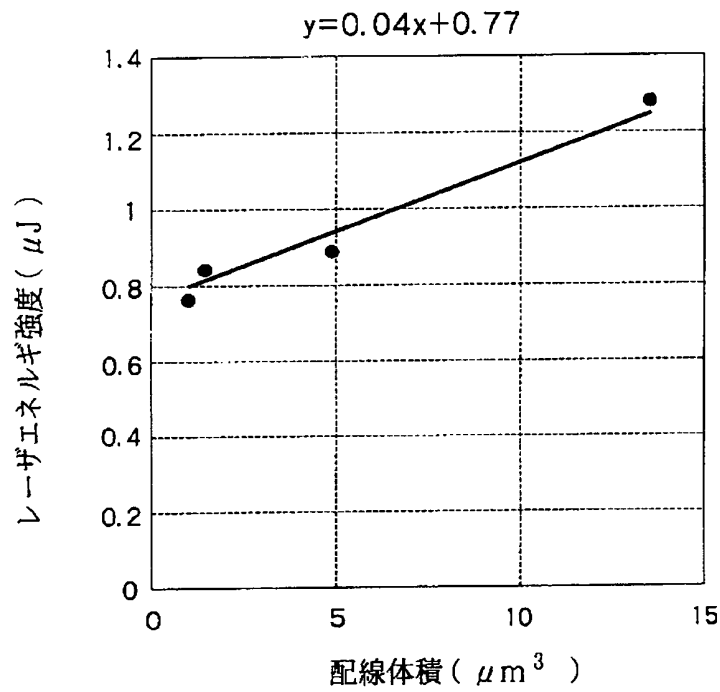
【図 5】



【図 6】

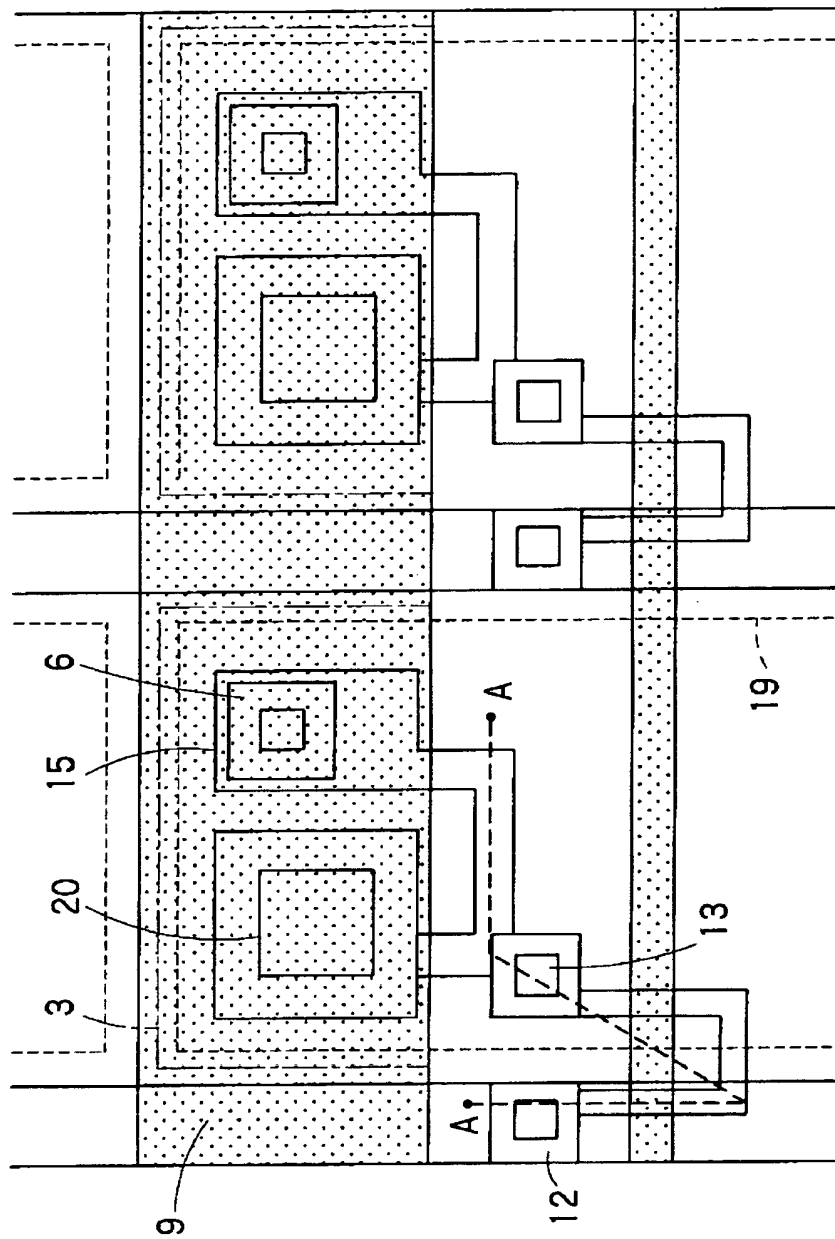


【図 7】

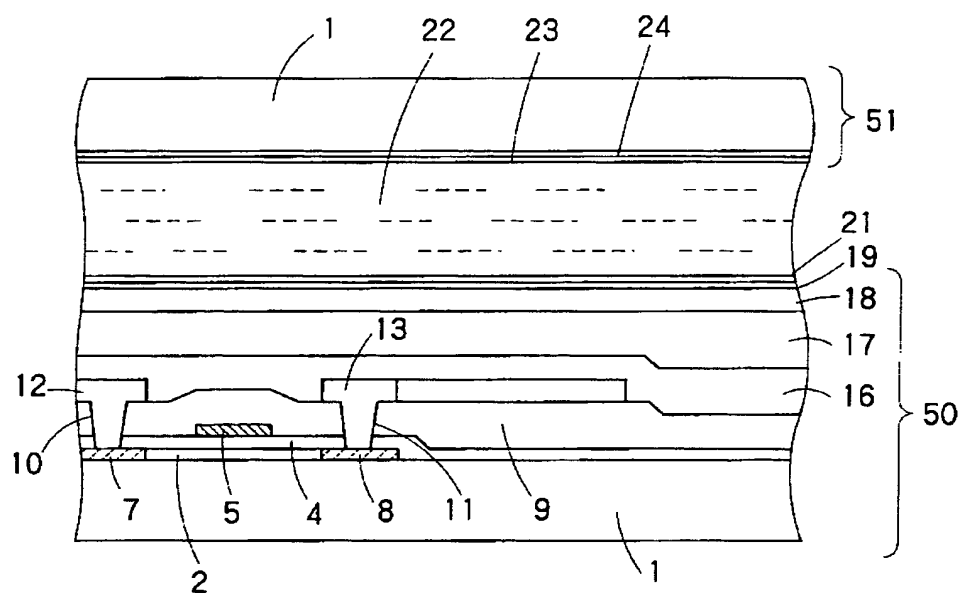


レーザーエネルギー強度の配線体積依存性

【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 表示画素欠陥を起こしたスイッチング素子（T F T）を確実にリペアすることができる平面表示装置の製造方法を提供する。

【解決手段】 本発明の平面表示装置は、ガラス基板 1 上に半導体層 2 と補助容量電極 3 とを同層に形成し、その上面にゲート絶縁膜 4 を形成し、その上面にゲート電極 5 と補助容量給電線 6 とを同層に形成し、その上面に層間絶縁膜 9 を形成し、その上面にソース電極 1 2 とドレイン電極 1 3 を形成する。補助容量電極 3 と画素電極 1 9 との間の配線部にレーザを照射して配線部の抵抗値を増加させるため、画素電極 1 9 が補助容量給電線 6 の電圧の影響を受けなくなり、表示画素欠陥の発生頻度を低減でき、製造歩留まりを向上できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝